

PACKAGE OF INTEGRATED CIRCUIT

Patent Number: JP59227143
Publication date: 1984-12-20
Inventor(s): NISHIKAWA SEIICHI
Applicant(s): DAINIPPON INSATSU KK
Requested Patent: JP59227143
Application Number: JP19830101317 19830607
Priority Number(s):
IPC Classification: H01L23/12 ; H01L23/28 ; H01L23/48
EC Classification:
Equivalents:

Abstract

PURPOSE: To contrive improvement of the mounting density by arranging the lead part of the lead frame on either of the top surface or the bottom surface of the resin sealed body.

CONSTITUTION: The leads 2b are arranged so as to surround a chip bonding part 2a located in the center of the lead frame and one of the leads is formed to be connected to said bonding part 2a. In the center of each lead 2b, a terminal 2c projects vertically to the plane of the frame. After resin sealing 3, the terminal is exposed out of the resin surface and cut by the line CL thereby completing the operation. The exposed part of the lead is subjected to Au gilding or two- layer gilding of Ni and Au and the lead frame and the IC chip are connected by wire interconnection or gang interconnection. This constitution offers the IC suitable for incorporation of IC card especially. By using the projecting shape of the lead 2b, reinforcement of prevention of detachment and the device having high mounting density can be obtained.

Data supplied from the esp@cenet database - 12

BEST AVAILABLE COPY

③ 日本国特許庁 (JP)

④ 特許出願公開

② 公開特許公報 (A)

昭59-227143

⑤ Int. Cl.
H 01 L 23/12
23/28
23/48

識別記号

序内整理番号
7357-5F
7738-5F
7357-5F

③ 公開 昭和59年(1984)12月20日

発明の数 1
審査請求 未請求

(全 6 頁)

④ 集積回路パッケージ

② 特願 昭58-101317
② 出願 昭58(1983)6月7日
② 発明者 西川誠一

小金井市貫井北町2-15-12

① 出願人 大日本印刷株式会社
東京都新宿区市谷加賀町1丁目
12番地
② 代理人 弁理士 梶原清 外3名

明細書の小節(内容に変更なし)

明細書

1. 発明の名称 集積回路パッケージ

2. 特許請求の範囲

1. リードフレームのリード部にICチップが接続された上で樹脂モールドが施され、次いで前記リードフレームの不要部分が切断されることにより構成される集積回路において、前記リードフレームのリード部を樹脂モールドの表面に露出させたことを特徴とする集積回路。
2. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分は全メスキ層で被われてなる集積回路。
3. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分はエッチングメスキ層および全メスキ層の2層メスキ層で被われてなる集積回路。
4. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとは

リイヤンディングにより接続されてなる集積回路。

5. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとはダイヤンディングにより接続されてなる集積回路。

3. 発明の詳細な説明

本発明は集積回路パッケージに関する。

近年電子回路の代表的な存在となつた集積回路は、半導体素子等により構成されたICチップ、このICチップの端子を外部に接続するため及び集積回路を機械的に支持するためのリード、ならびにICチップの封止およびICチップとリードとの接続部分の封止、さらに集積回路全体のハウジングとしてのパッケージからなつてゐる。

このパッケージには樹脂タイプのものとセラミックタイプのものがあり、まず樹脂タイプのものは第1回または第2回に示すような構造となつてゐる。第1回(a), (b)のものはデュアルインライン

パッケージ(DIP)と呼ばれ、ICチップをリードフレーム2上に設置して、ICチップの端子とリードフレーム2のリードとをワイヤーバンディングした上でICチップ1およびICチップ1とリードとの接続部分を樹脂モールド3により封止してなる。また第2回のものはフラントバンクージと呼ばれ、リードフレーム2のリードが平面内に引き出されている。

一方セラミックタイプのものは第3図(a), (b)に示すように、ICチップ1をセラミック基板4上に設置してICチップ1の端子をセラミック基板4の尾端に設けたメタライズ部5にワイヤーバンディングし図6を被せてなるものである。

これら樹脂タイプおよびセラミックタイプの集積回路はそれぞれ一長一短があるが、コスト的に見た場合には樹脂タイプのものが適かに利用し易い。

しかしながら、樹脂タイプのものはリードが集積回路の側方に突出するため、いくつかの集積回路を所定面積内に並置しようとする場合に実装密度

が上げられないという欠点がある。

本発明は上述の点を考慮してなされたもので、リードを正面、底面の少くとも一方に沿せてなる樹脂モールド構造回路パッケージを提供することである。

以下第4回乃至第11回を参照して本発明を実施例につき説明する。

第4図は本発明の集積回路用いるリードフレームの一例を平面形状で示したものであり、中央部にICチップ1を設置するためのICチップマウント部2aが設けられ、このマウント部2aを取り囲んでリード2bが8個設けられている。リード2bの1つはマウント部2aに延びて伸びている。そして、各リード2bの中央部には端子2cが設けられている。この端子2cはリードフレーム2の平面に對し垂直方向に突出していて、既に樹脂モールド3が施された状態で樹脂表面から突出するようになつていている。

そして切断面にして切断されることにより1つの集積回路が出来上る。

第5図(a), (b)は本発明に係る集積回路パッケージの外観形状を示したもので、同図(a)はリード2bの樹脂モールド側方への突出部分を切断したもの、同図(b)は適当の長さだけリード2bを長したものをしていて。これらは何んも外観回路等との接続を主として端子2cにより行うからリード2bの長さはせいぜい集積回路を固定するために必要な程度でよく、また固定を確実等の他の手段によつて行うことにより集積回路の実装密度を向上し得る。なお、リード2bを集積回路の固定に利用すれば耐震効果が得られる。

第6図(a), (b), (c)は第4図のリードフレームを用いて構成した本発明に係る集積回路の側面形状を示したもので、同図(a)は端子2cが樹脂モールド3の樹脂表面から突出した例、同図(b)は端子2cが樹脂表面と同一面をなす場合、同図(c)は端子2cが樹脂表面より縮んでいる場合をそれぞれ示している。各場合とも端子2cの表面には金メッキ等を施しておくことが好ましい。

これら各場合ともICチップ1はリードフレー

ム2に対し端子2cと反対側に設けてある。これは、ICチップ1を端子2cと同一側に設けた場合、端子2cの突出寸法をICチップ1の高さよりも大としなければならず、それにはリードフレーム2の基厚をかなり大にする等の対策が必要なためである。したがつてマウント部2aをリード2bより一段下げる等のICチップ1の直詰がより低くなる手段を講じるか、あるいは端子2cをリードフレーム2とは別個に製作しリードフレーム2上に付着させる方法を採るかすれば、ICチップ1と端子2cとをリードフレーム2の同一側に配しても実現可能。

第7図(a), (b)はリードフレーム2を折曲げ成形することにより端子2cを形成した場合の集積回路の側面形状を示したもので、同図(a)が端子2cの突出したもの、同図(b)が端子2cが突出しないものを示している。

第8図(a), (b)は上述のワイヤーバンディングと異なり、ダイヤルゲンディングによりICチップ1とリード2bとを接続してなる集積回路の例を示

してなり、第6図の場合は電子2・5が電路モールド3の表面面から突出した形、第7図の場合は同一面をなす形である。表示しないが第6図(a)の例のように電子2・5が表面面より奥んだものも実現可能である。

第9図(a), (b)はイヤンダメンディングによる第7図(a), (b)に相当する構造の側面形状を示したものであり、ICチップ1が裏板リード2上に接続される外は第7図と同様である。

第10図(a), (b)は取り図(a), (b)の集積回路の平面形状を示したもので、リード2上のICチップ1寄りの端部はICチップ1の端子に位置合わせできるように脚部両士が最近し且つ尖っており、ICチップ1の端子に直接接続される。そしてリード2上のパッケージから突出した部分は短く成形されている。

第11図(a), (b)は上述の集積回路をICカードにならびプラスチックカードに集積回路を組込んだもので、例えば銀行の自動支払機等において使用されるものに組込んだ例を示している。上述の集

積回路10はプラスチックカード20の裏面原形領域に固定(4)に示すように記される。そして組込用達を裏面で示しながら裏面10である。表面回路10は複数列等によりカード20の一端のオーバーレイ5に配置される。カード20は一方のセンターニア4・4が貼り合わされたもの又は一枚のセンターニアに一对のオーバーレイ5・5が配置されてなり、センターニア4とオーバーレイ5との間に印刷が施されている。カード20の全厚みは0.6~0.8mmであり、表面回路10はそれよりも薄く制作できるから、カード20の裏と表面回路10の面を同一面とする事は容易である。

このカードは所定のカード処理機に投入されると電子2・5を介してカード処理機と表面回路との間での信号受送が行われ、カード処理される。

本発明は上述のように、集積回路の裏面等に電子を有するようにしたため、専用ICカード組込みに適した集積回路が得られる。そして、このICカードの組込み時にはリード2上が集積回路側部から突出したもの用いれば剥落防止のため

の構造が行われる。またカード以外に適用しても集積回路の実装密度を向上することができる。

4. 回路の簡単な説明

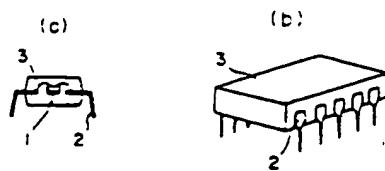
第1図(a), (b)および第2図は從来の表面タイプ集積回路の構造説明図、第3図(a), (b)は同じくセラミックタイプ集積回路の構造説明図、第4図は不発明例に係る集積回路製作に用いるエフランクで電子を設けたリードフレームの一例を示す平面図、第5図(a), (b)は本発明に係る集積回路の外部形状を示す図、第6図(a), (b)は第4図のリードフレームを用いて構成した集積回路の断面構造を示す図、第7図(a), (b)は折曲げにより電子を形成したリードフレームによる集積回路の断面構造を示す図、第8図(a), (b)および第9図(a), (b)はイヤンダメンディングによる集積回路の断面構造を示す図、第10図(a), (b)はイヤンダメンディングによる集積回路の平面構造を示す図、第11図(a), (b)は本発明に係る集積回路をICカードに適用した場合の説明図である。

1…ICチップ、2…リードフレーム、2a…ICチップマウント部、2b…リード、2c…電子、3…電路モールド、4…セラミック基板、5…メタライズ電極、6…裏、10…集積回路、20…カード。

出願人代理人 路 故 席

正圖の外觀(内面は省略なし)

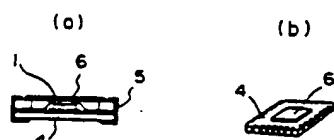
第一圖



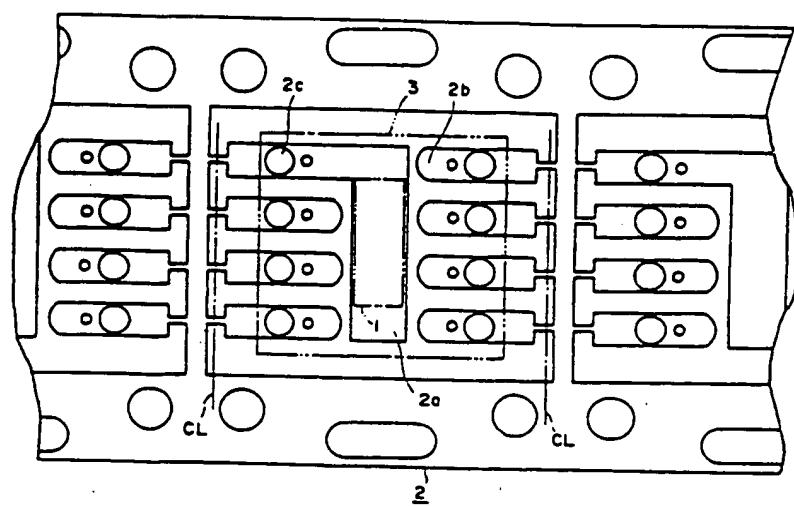
第二圖



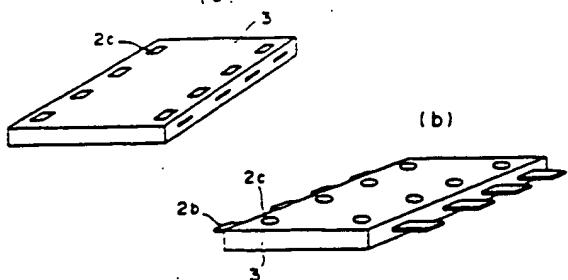
第三圖



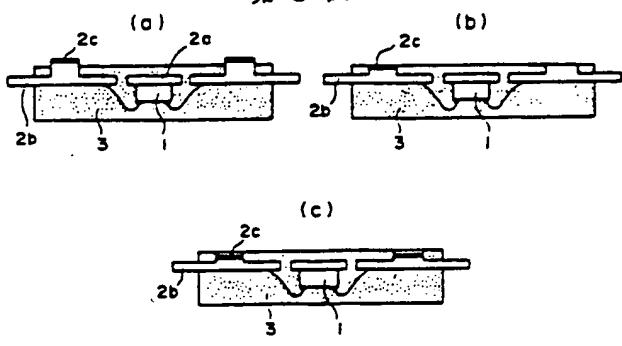
第四圖



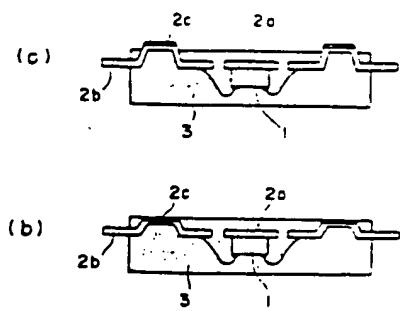
第5図



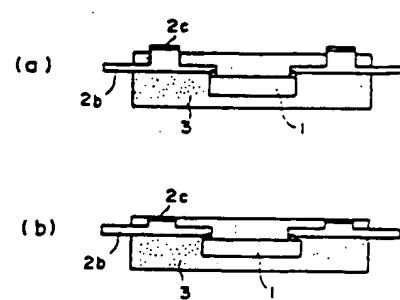
第6図



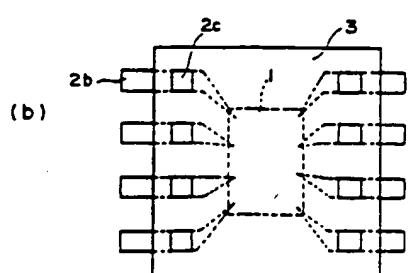
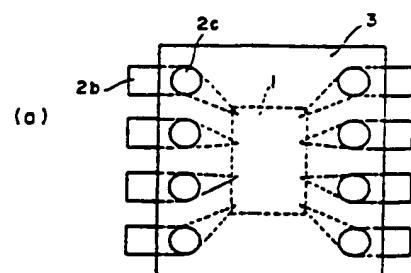
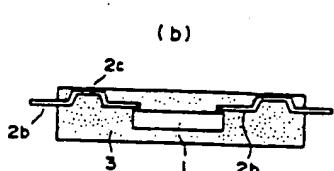
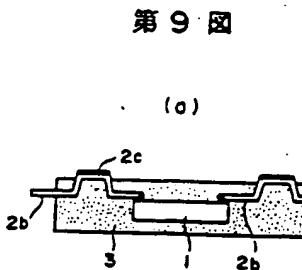
第7図



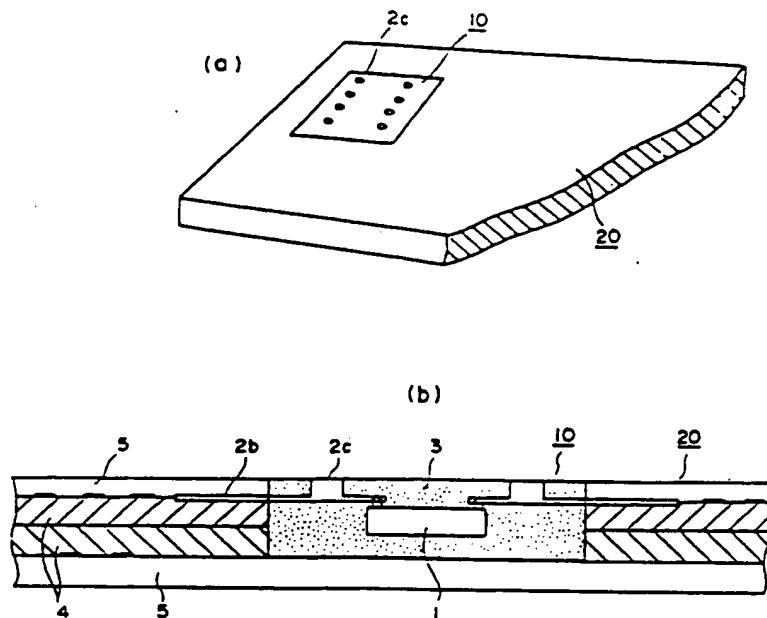
第8図



第10図



第11図



手続補正書
昭和59年7月7日

特許庁長官 等参考失敗

1. 事件の表示
昭和58年特許第1013317号

2. 発明の名称
無段階切替パッケージ

3. 補正をする者
事件との関係 特許出願人

(280)大日本印刷株式会社

4. 代理人 (郵便番号100)
東京都千代田区丸の内三丁目3番3号
(電話東京(03)23331大代田)

4330 斎藤士郎 氏

5. 補正命令の日付

昭和59年7月6日

(先送日 昭和59年7月6日)

6. 帝王により するもの

7. 補正の対象

明細書および図面

8. 補正の内容

明細書および図面の内容(内容に変更なし)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.